

PATENT ABSTRACTS OF JAPAN

(11)Publication number :05-252398

(43)Date of publication of application :28.09.1993

(51)Int.Cl.

H04N 1/41
G06F 15/64
G06F 15/66
H04N 7/133

(21)Application number :04-046475

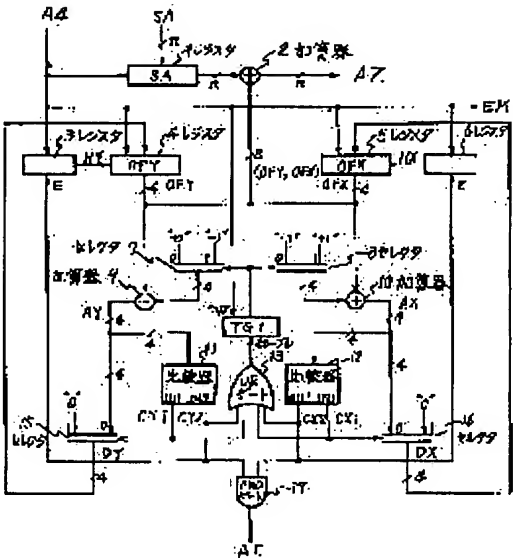
(71)Applicant : NEC CORP

(22)Date of filing :04.03.1992

(72)Inventor : INOUE TOSHIAKI

(54) METHOD AND CIRCUIT FOR GENERATING ADDRESS

(57)Abstract:
PURPOSE: To provide an address generating method and an address generating circuit capable of suppressing the increase of hardwares and rapidly executing the zigzag scanning of memories in zigzag scanning to be used for high efficiency image coding technique.
CONSTITUTION: The address generating circuit is provided with a register 1 for storing an initial address value SA, registers 4, 5 for changing stored offset values in accordance with zigzag scanning, an adder 2 for adding the output SA of the register 1 to a bit string connecting value(OFY, OFX) setting up the output OFY of the register 4 as an upper bit and the output OFX of the register 5 as a lower bit, and selectors 7, 8, 15, 16, comparators 11, 12, adders 9, 10, a toggle FF 14, FFs 3, 6, an AND gate 17, and an OR gate 13 which are used for controlling the changing procedure of each offset value.



LEGAL STATUS

[Date of request for examination]30.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]2833327

[Date of registration]02.10.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-252398

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/41		B 8839-5C		
G 0 6 F 15/64	4 5 0	G 8840-5L		
15/66		J 8420-5L		
H 0 4 N 7/133		Z		

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平4-46475

(22)出願日 平成4年(1992)3月4日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 井上 俊明

東京都港区芝五丁目7番1号日本電気株式会社内

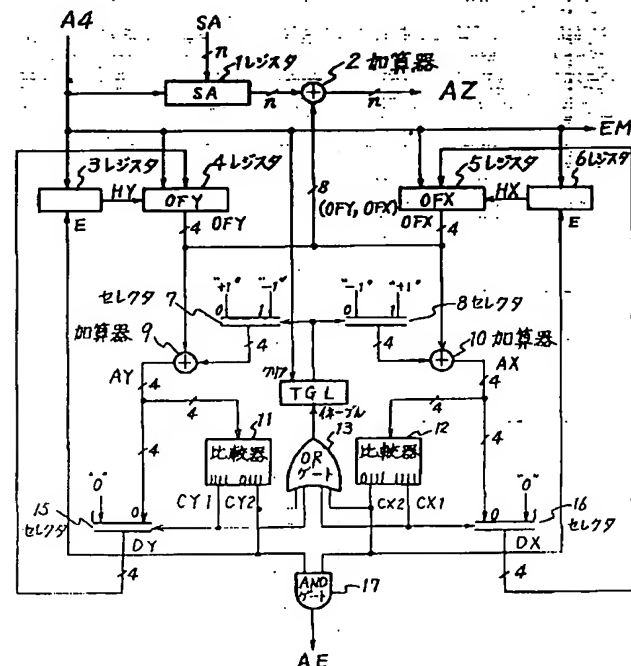
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 アドレス発生方法およびアドレス発生回路

(57)【要約】

【目的】 高能率画像符号化技術に用いられるジグザグスキャンにおいて、ハードウェア量の増加を抑え、メモリのジグザグスキャンの高速化が可能なアドレス発生方法およびアドレス発生回路を提供する。

【構成】 初期アドレス値SAを格納するレジスタ1を備える。ジグザグスキャンにしたがって格納したオフセット値が変化するレジスタ4、5を備える。レジスタ1の出力SAと、レジスタ4の出力OFYを上位ビットととしレジスタ5の出力OFXを下位ビットとするビット列の連接値(OFY、OFX)とを加算する加算器2を備える。オフセット値の変化の仕方を制御するセレクタ7、8、15、16、比較器11、12、加算器9、10、トリガリッパフ14、フリップフロップ3、6、ANDゲート17、ORゲート13を備える。



【特許請求の範囲】

【請求項1】 n ($n \geq 2m$; m は自然数) ビットのアドレス空間を有する記憶装置をアクセスするためのアドレス発生方法において、

n ビットの初期アドレスの値に、それぞれ以下の(A)～(F)の処理を順に実行して与えられる m ビットの第一の2の補数である第一のオフセット値を上位ビットとし m ビットの第二の2の補数である第二のオフセット値を下位ビットとするビット列の接続により得られる $2m$ ビットの第三のオフセット値を加算して生成されることを特徴とするアドレス発生方法。

(A) 前記第三のオフセット値の初期値を(0, 0)とし、前記第一および第二のオフセット値にそれぞれ加算する現在の加算値を第一の加算値(-1, +1)とする。

(B) 現在の前記第三のオフセット値に前記第一の加算値(-1, +1)を加算し続け、前記第一のオフセット値が負になった場合にはこの第一のオフセット値を0に補正して次の前記第三のオフセット値とするとともに次の前記加算値を第二の加算値(+1, -1)とする。

(C) 現在の前記第三のオフセット値に前記第二の加算値(+1, -1)を加算し続け、前記第一のオフセット値が負になった場合にはこの第一のオフセット値を0に補正して次の前記第三のオフセット値とするとともに次の前記加算値を前記第一の加算値(-1, +1)とする。

(D) 現在の前記第三のオフセット値に前記第二の加算値(+1, -1)を加算し続け、前記第一のオフセット値が $2^{m-1}-1$ になった場合には次の前記加算値を前記第一の加算値(-1, +1)とし、前記次の加算値で計算される前記第一のオフセット値を $2^{m-1}-1$ に保持する。

(E) 現在の前記第三のオフセット値に前記第一の加算値(-1, +1)を加算し続け、前記第二のオフセット値が $2^{m-1}-1$ になった場合には次の前記加算値を前記第二の加算値(+1, -1)とし、前記次の加算値で計算される前記第二のオフセット値を $2^{m-1}-1$ に保持する。

(F) 現在の前記第三のオフセット値が $(2^{m-1}-1, 2^{m-1}-1)$ になった場合にはアドレス発生を終了する。

【請求項2】 n ($n \geq 2m$; m は自然数) ビットの初期アドレス値と1ビットのアドレス発生開始信号を入力とし、 n ビットのアドレスと1ビットのアドレス発生終了信号を出力し前記アドレス発生開始信号をメモリーイネーブル信号として出力するアドレス発生回路において、データ入力およびロード入力を有し前記初期アドレス値を格納する n ビットの第一のレジスタと、データ入力とホールド入力およびクリア入力とをそれぞれ有する m ビットの第一および第二のレジスタと、

前記第一のレジスタの出力と、前記第二のレジスタの出力のビット列を上位ビットとし前記第三のレジスタの出力のビット列を下位ビットとするビット列の接続値とを加算する第一の加算器と、

それぞれ前記第一および第二のレジスタの前記ホールド入力を印加するイネーブル入力およびクリア入力付きの第一および第二の1ビットレジスタと、

1ビットの第一の制御入力を有し、前記第一の制御入力が'0'のときはそれぞれ+1および-1を出力し、前記第一の制御入力が'1'のときはそれぞれ-1および+1の m ビットの2の補数を出力する第一および第二のセクタと、

前記第一および第二のセクタのそれぞれ前記第一の制御入力を印加するイネーブル入力およびクリア入力付きの1ビットのトグルフリップフロップと、

前記第二のレジスタの出力と前記第一のセクタの出力とを加算する第二の加算器と、

前記第三のレジスタの出力と前記第二のセクタの出力とを加算する第三の加算器と、

20 前記第二の加算器の出力が-1であることを示し前記第一の1ビットレジスタの前記イネーブル入力に与える第一の出力および前記第二の加算器の出力が $2^{m-1}-1$ であることを示す第二の出力を有する m ビットの第一の比較器と、

前記第三の加算器の出力が-1であることを示し前記第二の1ビットレジスタの前記イネーブル入力に与える第三の出力および前記第三の加算器の出力が $2^{m-1}-1$ であることを示す第四の出力を有する m ビットの第二の比較器と、

30 前記第一、第二、第三、第四の出力を入力とし前記トグルフリップフロップの前記イネーブル入力に出力を与えるOR回路と、

m ビットの値'0'および前記第二の加算器の出力をデータ入力とし前記第一の出力を第二の制御入力とし前記第二の制御入力が'1'のときは'0'を出力し前記第二の制御入力が'0'のときは前記第二の加算器の出力を出力して前記第二のレジスタのデータ入力に与える第三のセクタと、

m ビットの値'0'および前記第三の加算器の出力をデータ入力とし前記第三の出力を第三の制御入力とし前記第三の制御入力が'1'のときは'0'を出力し前記第三の制御入力が'0'のときは前記第三の加算器の出力を出力して前記第三のレジスタのデータ入力に与える第四のセクタと、

前記第二および第四の出力を入力とし前記アドレス発生終了信号を出力するAND回路とを備えることを特徴とするアドレス発生回路。

【発明の詳細な説明】

【0001】

50 【産業上の利用分野】本発明はアドレス発生方法および

アドレス発生回路に関し、特に高能率画像符号化処理に用いられるジグザグスキャンアドレスのアドレス発生方法およびアドレス発生回路に関する。

【0002】

【従来の技術】従来、この種のジグザグスキャンアドレスのアドレス発生方法は、対象とするメモリに対して、プログラムによりアドレス順序を逐次指定するか、または変換テーブルを用いて、線形アドレスをジグザグスキャンアドレスに変換することによって実現されていた。

【0003】図4は従来のジグザグスキャンアドレスによるメモリアクセス方法の一例を示す図である。たとえば、 8×8 のジグザグスキャンを行なうには、線形の64のアドレス空間（アドレス0～63）を 8×8 の2次元領域とし、初期アドレス0から $0 \rightarrow 1 \rightarrow 8 \rightarrow 16 \rightarrow 9 \rightarrow 2 \rightarrow 3 \rightarrow 10 \rightarrow \dots \rightarrow 63$ のように、ジグザグ状にスキャンする。

【0004】図5は、このようなジグザグスキャンアドレスを発生するアドレス発生方法を用いるアドレス発生回路の一例を示すブロック図である。従来のアドレス発生方法およびアドレス発生回路は、図5に示すように、デコーダ31と、変換テーブル32と、読出回路33とを備えて構成されていた。

【0005】次に、従来のアドレス発生方法およびアドレス発生回路の動作について説明する。 $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 62 \rightarrow 63$ なる線形アドレスALの入力に対して、変換テーブル32を用いて、 $0 \rightarrow 1 \rightarrow 8 \rightarrow \dots \rightarrow 63$ なるジグザグスキャンアドレスAZに変換して、読出回路33から出力するというものであった。

【0006】

【発明が解決しようとする課題】上述した従来のアドレス発生方法およびアドレス発生回路は、変換テーブルを用いて実現する場合には、スキャン範囲を拡大したとき変換テーブルのハードウェア量がビット長の2乗に比例するので急速に増大するという欠点があった。たとえば、スキャン範囲を 8×8 から 16×16 に拡大すると、変換テーブルの大きさは4倍となる。また、プログラムによりアドレス順序を逐次指定する方法では、スキャン範囲を拡大したときマシンサイクル毎のアドレス発生が困難となるという問題点があった。

【0007】本発明の目的は、スキャン範囲を拡大したときのハードウェア量の急速な増加を緩和し、かつ、マシンサイクル毎に効率よくジグザグスキャンアドレスを発生するアドレス発生方法およびアドレス発生回路を提供することにある。

【0008】

【課題を解決するための手段】第一発明のアドレス発生方法は、 n ($n \geq 2m$; m は自然数) ビットのアドレス空間を有する記憶装置をアクセスするためのアドレス発生方法において、 n ビットの初期アドレスの値に、それぞれ以下の(A)～(F)の処理を順に実行して与えら

れる m ビットの第一の2の補数である第一のオフセット値を上位ビットとし m ビットの第二の2の補数である第二のオフセット値を下位ビットとするビット列の接続により得られる $2m$ ビットの第三のオフセット値を加算して生成されることを特徴とするものである。

(A) 前記第三のオフセット値の初期値を(0, 0)とし、前記第一および第二のオフセット値にそれぞれ加算する現在の加算値を第一の加算値($-1, +1$)とする。

(B) 現在の前記第三のオフセット値に前記第一の加算値($-1, +1$)を加算し続け、前記第一のオフセット値が負になった場合にはこの第一のオフセット値を0に補正して次の前記第三のオフセット値とするとともに次の前記加算値を第二の加算値($+1, -1$)とする。

(C) 現在の前記第三のオフセット値に前記第二の加算値($+1, -1$)を加算し続け、前記第一のオフセット値が負になった場合にはこの第一のオフセット値を0に補正して次の前記第三のオフセット値とするとともに次の前記加算値を前記第一の加算値($-1, +1$)とする。

(D) 現在の前記第三のオフセット値に前記第二の加算値($+1, -1$)を加算し続け、前記第一のオフセット値が $2^{m-1} - 1$ になった場合には次の前記加算値を前記第一の加算値($-1, +1$)とし、前記次の加算値で計算される前記第一のオフセット値を $2^{m-1} - 1$ に保持する。

(E) 現在の前記第三のオフセット値に前記第一の加算値($-1, +1$)を加算し続け、前記第二のオフセット値が $2^{m-1} - 1$ になった場合には次の前記加算値を前記第二の加算値($+1, -1$)とし、前記次の加算値で計算される前記第二のオフセット値を $2^{m-1} - 1$ に保持する。

(F) 現在の前記第三のオフセット値が($2^{m-1} - 1, 2^{m-1} - 1$)になった場合にはアドレス発生を終了する。

【0009】また、第2の発明のアドレス発生回路は、 n ($n \geq 2m$; m は自然数) ビットの初期アドレス値と1ビットのアドレス発生開始信号を入力とし、 n ビットのアドレスと1ビットのアドレス発生終了信号を出力し前記アドレス発生開始信号をメモリーネーブル信号として出力するアドレス発生回路において、データ入力およびロード入力を有し前記初期アドレス値を格納する n ビットの第一のレジスタと、データ入力とホールド入力およびクリア入力をそれぞれ受ける m ビットの第一および第二のレジスタと、前記第一のレジスタの出力と、前記第二のレジスタの出力のビット列を上位ビットととし前記第三のレジスタの出力のビット列を下位ビットとするビット列の接続値とを加算する第一の加算器と、それぞれ前記第一および第二のレジスタの前記ホールド入力を印加するイネーブル入力およびクリア入力付きの第

一および第二の1ビットレジスタと、1ビットの第一の制御入力を有し、前記第一の制御入力が'0'のときはそれぞれ+1および-1を出力し、前記第一の制御入力が'1'のときはそれぞれ-1および+1のmビットの2の補数を出力する第一および第二のセレクタと、前記第一および第二のセレクタのそれぞれ前記第一の制御入力を印加するイネーブル入力およびクリア入力付きの1ビットのトグルフリップフロップと、前記第二のレジスタの出力と前記第一のセレクタの出力とを加算する第二の加算器と、前記第三のレジスタの出力と前記第二のセレクタの出力とを加算する第三の加算器と、前記第二の加算器の出力が-1であることを示し前記第一の1ビットレジスタの前記イネーブル入力に与える第一の出力および前記第二の加算器の出力が $2^m - 1$ であることを示す第二の出力を有するmビットの第一の比較器と、前記第三の加算器の出力が-1であることを示し前記第二の1ビットレジスタの前記イネーブル入力に与える第三の出力および前記第三の加算器の出力が $2^m - 1$ であることを示す第四の出力を有するmビットの第二の比較器と、前記第一、第二、第三、第四の出力を入力とし前記トグルフリップフロップの前記イネーブル入力に出力を与えるOR回路と、mビットの値'0'および前記第二の加算器の出力をデータ入力とし前記第一の出力を第二の制御入力とし前記第二の制御入力が'1'のときは'0'を出力し前記第二の制御入力が'0'のときは前記第二の加算器の出力を出力して前記第二のレジスタのデータ入力に与える第三のセレクタと、mビットの値'0'および前記第三の加算器の出力をデータ入力とし前記第三の出力を第三の制御入力とし前記第三の制御入力が'1'のときは'0'を出力し前記第三の制御入力が'0'のときは前記第三の加算器の出力を出力して前記第三のレジスタのデータ入力に与える第四のセレクタと、前記第二および第四の出力を入力とし前記アドレス発生終了信号を出力するAND回路とを備えることにより構成されている。

【0010】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0011】図1は本発明のアドレス発生方法の一実施例を示す図である。

【0012】本実施例のアドレス発生方法は、図1に示すように、初期アドレスSAとして与えられるnビットのアドレス101と、制御論理106にしたがって各々の値が変化する2つの4ビットのオフセット103の値OFYを上位ビットとし、オフセット104の値OFXを下位ビットとするビット列の接続により得られる8ビットのオフセット105の値(OFY, OFX)とを、加算器102により加算した加算結果をアドレス出力AZとするものである。

【0013】制御論理106は、表1に示すように、現在のオフセット105の値(OFY, OFX)と、オフセット103の値OFY, 104の値OFXに対する現在の加算値(+1, -1)または(-1, +1)との加算により次の時刻のオフセット105の値(OFY, OFX)を算出することを基本の動作とする。

【0014】次に、補正1と、補正2の2つの補正方法がある。

【0015】補正1は、オフセット103の値OFYまたは104の値OFXが-1になったらこの-1を0に補正をし、次の時刻での加算値を変更する補正方法である。

【0016】補正2は、オフセット103の値OFYまたは104の値OFXが7になったら次の時刻でこの7を保持し、加算値を変更する補正方法である。

【0017】ここで、加算値の変更とは、現在の加算値が(+1, -1)である場合には次の時刻で(-1, +1)に、現在の加算値が(-1, +1)である場合には次の時刻で(+1, -1)にそれぞれ変更することである。

【0018】

【表1】

現在の (OFY, OFX)	加算値	次の (OFY, OFX)	補正方法	補正後の (OFY, OFX)
(0, 0)	(-1, +1)	(-1, 1)	1	(0, 1)
(0, 1)	(+1, -1)	(1, 0)		
(1, 0)	(+1, -1)	(2, -1)	1	(2, 0)
(2, 0)	(-1, +1)	(1, 1)		
(1, 1)	(-1, +1)	(0, 2)		
(0, 2)	(-1, +1)	(-1, 3)	1	(0, 3)
(0, 3)	(+1, -1)	(1, 2)		
⋮	⋮	⋮	⋮	⋮
(6, 1)	(+1, -1)	(7, 0)	2	
(7, 0)	(-1, +1)	(6, 1)		(7, 1)
(7, 1)	(-1, +1)	(6, 2)		
⋮	⋮	⋮	⋮	⋮
(6, 7)	(+1, -1)	(7, 6)	2	
(7, 6)	(-1, +1)	(6, 7)		(7, 7)

【0019】図2は本発明のアドレス発生回路の一実施例を示すブロック図である。

【0020】本実施例のアドレス発生回路は、図2に示すように、初期アドレスSAを格納するロード入力付きのレジスタ1と、nビットの加算器2と、イネーブル付きの1ビットのレジスタ3、6と、2つの4ビットのオフセット値OFY、OFXをそれぞれ格納しクリア入力およびホールド入力付の4ビットのレジスタ4、5と、'+1'、'-1'の2つの値を入力しオフセット値OFY、OFXをそれぞれを選択する2入力4ビットセクタ7、8と、セクタ7の出力とレジスタ4の出力およびセクタ8の出力とレジスタ5の出力とをそれぞれ加算する4ビットの加算器9、10と、加算器9、10の出力をそれぞれ比較する4ビットの比較器11、12と、比較器11の出力により加算器9の出力と'0'とのいずれかを選択する2入力4ビットセクタ15と、比較器12の出力により加算器10の出力と'0'とのいずれかを選択する2入力4ビットセクタ16と、比較器11、12の出力のORをとるORゲート13と、ORゲート13を入力するクリア入力付きの1ビットのトルグフリップフロップ(TGL)14と、比

較器11、12の出力が入力されアドレス発生終了信号AEを出力するANDゲート17とを備えて構成されている。

【0021】次に、本実施例のアドレス発生回路の動作について説明する。

【0022】まず、nビットの初期アドレスSAがレジスタ1に格納される。次にアドレス発生信号AGにより、レジスタ1の初期アドレスSAは、レジスタ4のオフセット値OFYを上位ビットとし、レジスタ5のオフセット値OFXを下位ビットとするビット列の接続により得られる8ビットのオフセット値(OFY、OFX)と加算器2で加算され、クロックサイクル毎にアドレス出力AZとして出力される。

【0023】レジスタ4のオフセット値OFYは、セクタ7により選択される値'+1'、'-1'のいずれか一方が加算器9により加算され、この加算結果AYは比較器11と、セクタ15とに入力される。

【0024】次に、比較器11では、加算器9の加算結果AYが2つの値-1(1111)と7(0111)と同時に比較され、それぞれの比較結果CY1、CY2が出力される。まず、比較結果CY1が-1に等しい場合、

には、セクタ 1 5 から出力 D Y として 0 が出力される。また、比較結果 C Y 1 が - 1 に等しくない場合には、セクタ 1 5 から加算器 9 の加算結果 A Y がそのまま出力される。セクタ 1 5 の出力 D Y はレジスタ 4 に格納される。

【 0 0 2 5 】また、比較結果 C Y 2 が 7 に等しい場合には、比較結果 C Y 2 がレジスタ 3 のイネーブル入力 E に入力され、次のクロックサイクルでレジスタ 3 の出力 H Y はレジスタ 4 のホールド入力に入力される。この結果、レジスタ 4 のオフセット値 O F Y は次のクロックサイクルでは 7 となっており、また、2 クロックサイクル後も 7 に保持される。

【 0 0 2 6 】次に、比較器 1 1 の 2 つの比較結果 C Y 1、C Y 2 が - 1 または 7 に等しい場合には、比較器 1 1 の出力 C Y 1、C Y 2 は O R ゲート 1 3 に入力される。O R ゲート 1 3 の出力は T G L 1 4 に入力され、次のクロックサイクルで T G L の出力を反転し、これによりセクタ 7 の出力を切替る。

【 0 0 2 7 】一方、レジスタ 5 のオフセット値 O F X は、セクタ 8 により選択される値 ' + 1 '、' - 1 ' のいずれか一方が加算器 1 0 により加算され、この加算結果 A X は比較器 1 2 と、セクタ 1 6 とに入力される。

【 0 0 2 8 】次に、比較器 1 2 では、加算器 1 0 の加算結果 A X が 2 つの値 - 1 (1 1 1 1) と 7 (0 1 1 1) と同時に比較され、それぞれの比較結果 C X 1、C X 2 が出力される。まず、比較結果 C X 1 が - 1 に等しい場合には、セクタ 1 6 から 0 が出力される。また、比較結果 C X 1 が - 1 に等しくない場合には、セクタ 1 6 から加算器 1 0 の加算結果 A X がそのまま出力される。セクタ 1 6 の出力はレジスタ 4 に格納される。

【 0 0 2 9 】また、比較結果 C X 2 が 7 に等しい場合には、比較結果 C X 2 がレジスタ 6 のイネーブル入力 E に入力され、次のクロックサイクルでレジスタ 6 の出力 H X はレジスタ 5 のホールド入力に入力される。この結果、レジスタ 5 のオフセット値 O F Y は次のクロックサイクルでは 7 となっており、また、2 クロックサイクル後も 7 に保持される。

【 0 0 3 0 】次に、比較器 1 2 の 2 つの比較結果 C X 1、C X 2 が - 1 または 7 に等しい場合には、比較器 1 2 の出力は O R ゲート 1 3 に入力される。O R ゲート 1 3 の出力は T G L 1 4 に入力され、次のクロックサイクルで T G L の出力を反転し、これによりセクタ 8 の出力を切替る。

【 0 0 3 1 】セクタ 7、8 はそれぞれの出力の極性が相補の関係となるような制御信号が与えられる。たとえば、セクタ 7 が - 1 を出力しているときにはセクタ 8 は + 1 を出力する。

【 0 0 3 2 】アドレス発生信号 A G は、レジスタ 1 のロード入力と、レジスタ 3 ~ 6 および T G L 1 4 のクリア

入力に与えられ、0 または 1 のいずれか一方の値でイネーブルとなるものとする。

【 0 0 3 3 】比較器 1 1 の比較結果 C Y 2 と比較器 1 2 の比較結果 C X 2 とは A N D ゲート 1 7 に入力され、両者共 7 に等しい場合の出力のときにはアドレス発生終了信号 A E を出力して処理を終了する。

【 0 0 3 4 】以上、本発明の実施例を説明したが、本発明は上記実施例に限られることなく種々の変形が可能である。たとえば、実施例は 8 × 8 のジグザグスキャンの例にとって説明しているが、任意の大きさのジグザグスキャンの場合にも、本発明の主旨を逸脱しない限り適用できることは勿論である。またこれを記憶装置に組込むアドレス発生回路のみでなく、本発明を含む記憶装置を一部とする他のシステムにおいても、本発明の主旨を逸脱しない限り適用できることは勿論である。

【 0 0 3 5 】

【発明の効果】以上説明したように、本発明のアドレス発生方法およびアドレス発生回路は、スキャン範囲を拡大することによる制御論理のハードウェア量の増加は、ほぼビット長に比例するので、従来のビット長の 2 乗に比例する変換テーブルに比較すると大幅にハードウェア量の増加を低減できこれを用いたシステムの小型化が可能になるという効果がある。また、制御論理はハードウェアで実現されるので、マシンサイクル毎のジグザグスキャンアドレスの発生が可能となり、メモリのジグザグスキャンの高速化が可能になるという効果がある。

【図面の簡単な説明】

【図 1】本発明のアドレス発生方法の一実施例を示すブロック図である。

【図 2】本発明のアドレス発生回路の一実施例を示すブロック図である。

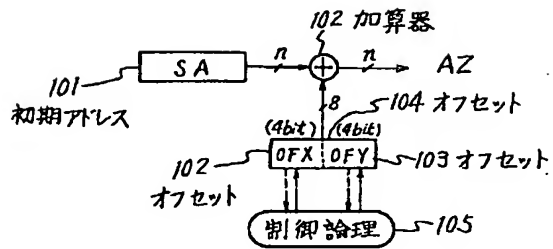
【図 3】従来のアドレス発生方法の一例を示す図である。

【図 4】従来のアドレス発生方法およびアドレス発生回路の一例を示すブロック図である。

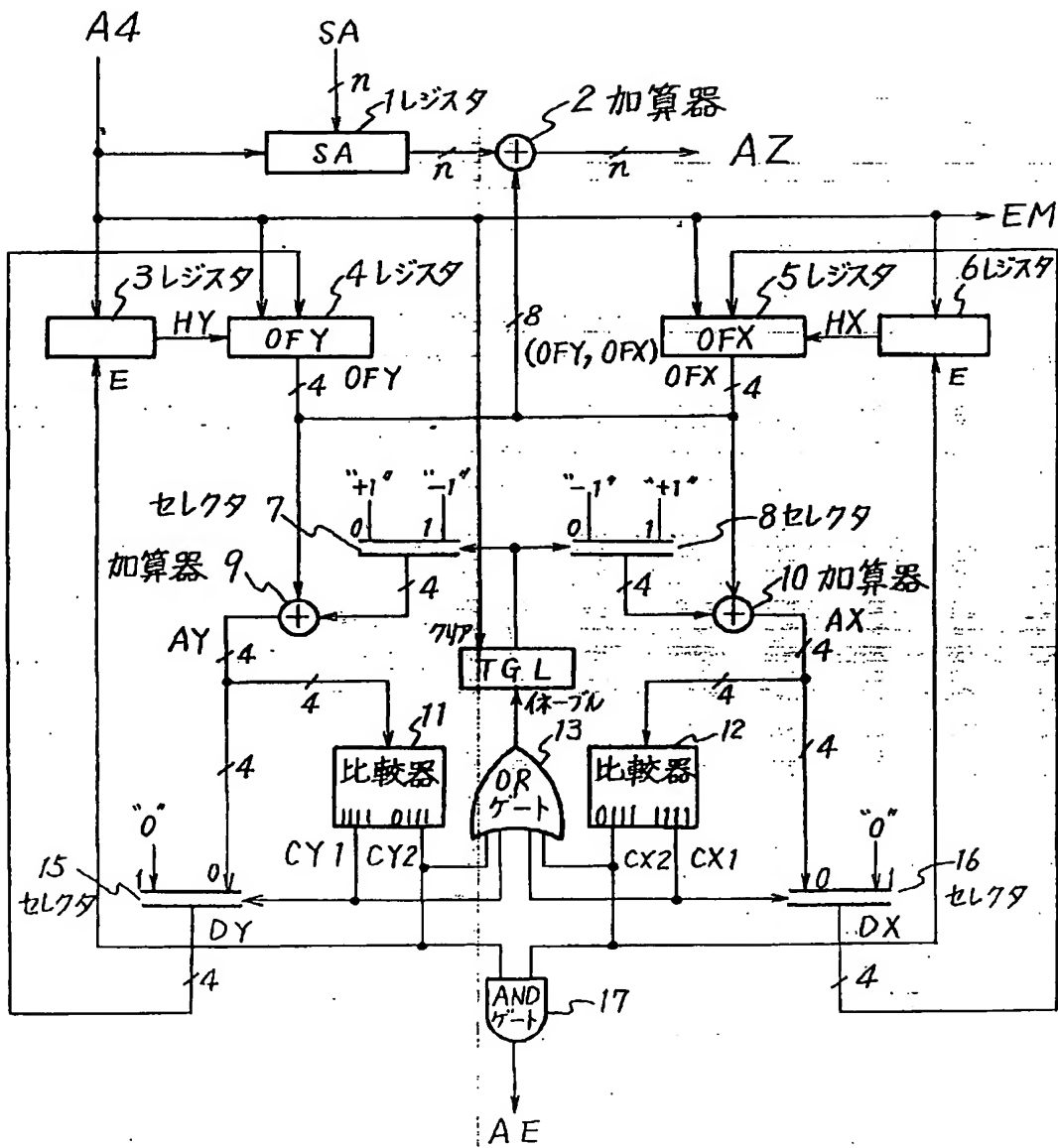
【符号の説明】

- 1、3 ~ 6 レジスタ
- 2、9、10 加算器
- 7、8、15、16 セクタ
- 11、12 比較器
- 13 O R ゲート
- 14 トグルフリップフロップ (T G L)
- 17 A N D ゲート
- 31 ジェネレータ
- 32 変換テーブル
- 33 読出回路
- 101 初期アドレス
- 102、103、104 オフセット
- 105 制御論理

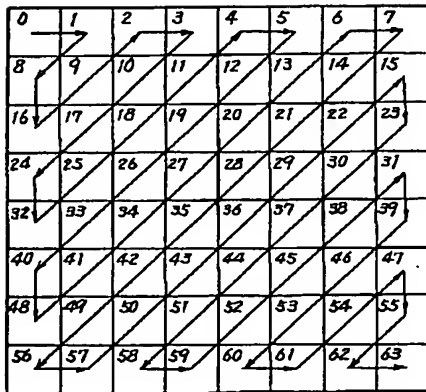
【図1】



【図2】



【図3】



【図4】

